ПРИНЦИПЫ СИНТЕЗА МНОГОУСТОЙЧИВЫХ ЭЛЕМЕНТОВ И МНОГОМЕРНЫХ НАКОПИТЕЛЕЙ

М. Я. Эйнгорин

В настоящее время память составляет в среднем около половины оборудования цифровых управляющих и вычислительных систем. Опыт показывает, что емкость основной оперативной памяти ЭВМ приблизительно пропорциональна ее производительности. В большинстве случаев $\frac{\text{емкость памяти в байтах}}{\text{число операций в секунду}} = 0,3 \div 1$. Для специализированных машин и ряда универсальных это соотношение, хотя и редко, расширяется до пределов: 0,1...4. С ростом производительности цифровых вычислительных и управляющих систем можно предположить, что память в ближайшее время будет занимать $(80 \div 95)\%$ всего объема их оборудования. Для многопроцессорных систем, число которых год от года будет расти, память становится распределенной, причем каждый процессор имеет свою память, а многопроцессорная система в целом имеет общую память. Число независимых блоков общей памяти также будет расти. Исходя из сказанного ясно, что развитие памяти определяет развитие всей вычислительной техники, а вместе с ней и всего технического прогресса.

Основная оперативная память к настоящему времени прошла большой путь развития от отдельных релейных и ламповых триггеров, акустических линий задержки, памяти на электронно-лучевых трубках и матриц на кольцевых ферритовых элементах до микроминиатюрных запоминающих матриц большой емкости на триггерах, динамических, МНОП и аналогичных им ячейках. Даже из этого крайне сжатого перечисления видно, что:

1. Развитие повторяется, но каждый раз на новом уровне (например, релейные и ламповые триггеры и микроминиатюрные триггерные ячейки памяти в полупроводниковых матрицах).
2. На пути развития мы не только приобретаем, но и теряем (например, сохранение информации при отключении питания для полупроводниковых триггеров и динамических матриц памяти, которые сменили ферритовые матрицы).

В связи со вторым следует ожидать возврата к магнитным матричным или близким по физическим свойствам накопителям, но на новой микроэлектронной основе, в чем, можно надеяться, скажут свое слово специалисты по микроэлектронике.

Современное развитие основной оперативной памяти цифровых систем идет по пути совершенствования полупроводниковых двумерных матричных структур с двухстабильной ячейкой памяти. Ежегодно происходит примерно удвоение емкости матрицы и увеличение линейной плотности их упаковки. В последнее время публикуется много работ по оценке предельной физической и технической плотности упаковки как просто логических элементов, так и ячеек памяти. Так указывается, что в пределе плотность запоминающих элементов может достичь $(1 \div 2) \cdot 10^7$ элементов на $см^2$. Это ограничение связано, в основном, с тремя основными параметрами — шириной шин коммутации, их сопротивлением и предельной рассеиваемой мощностью на единицу площади. Все эти факторы, в свою очередь, сильно влияют на быстродействие накопителя. В ближайшее пятилетие, по-видимому, будет достигнута емкость $(8 \div 100)$ Мбит на кристалл для однотранзисторных (типа НОП и динамических) запоминающих элементов и $(1 \div 16)$ Мбит для накопителей на триггерах.

А что дальше? Каковы дальнейшие перспективы направления развития устройств памяти? Следует предположить, что среди этих путей следующие:

1. Использование многомерных систем селекции запоминающих элементов.
2. Использование вместо двухзначных — многозначных, в том числе нейристорных элементов памяти.
3. Построение многофункциональных запоминающих устройств, обеспечивающих кроме функции хранения и переработку информации.
4. Построение функционально более сложно организованных запоминающих устройств.

Первый путь рассматривался рядом исследователей с самого начала развития цифровой техники. Так в работе [1] и литературе, указанной в этой книге, описаны трехмерные, четырехмерные и другие матричные структуры селекции, обеспечивающие либо уменьшение помехи [1] на неизбранном элементе с одновременным увеличением числа адресных шин, либо снижение числа адресных шин с увеличением помехи на неизбранном элементе. Впоследствии это направление было развито в работах [2–6] и литературе, указанной в них. Ниже, в настоящей работе, первый путь рассмотрим более подробно. Сейчас же укажем, что многомерные принципы селекции могут быть достаточно эффективно использованы и в двумерном плоском варианте, обеспечивая заданный коэффициент селекции, резкое снижение числа адресных шин, подходящих к накопителю, расширение области устойчивой работы накопителя, сокращение оборудования дешифрации и мощности его выходных элементов или передачу к запоминающей ячейке более богатой информации, чем двоичная.

[1] В данной работе под "помехой" будем понимать частичное возбуждение элементов, при котором их состояния изменяться не должны.

Второй путь также рассматривался в литературе и используется на практике. И лишь в запоминающих устройствах многоустойчивые элементы до настоящего времени не нашли должного применения. При "наступлении" полупроводниковых и интегральных запоминающих устройств на ферритовые была сделана лишь попытка использовать феррит как многоустойчивый элемент, что сулило временные преимущества ферритовым накопителям. Многоустойчивые элементы делятся на два больших класса: построенные на аналоговых элементах и построенные на цифровых элементах. Впервые многоустойчивые элементы при построении ЭВМ были использованы в машинах типа "Марк–1", "Марк–2" и "ЭНИАК" [7, 8]. Затем в 1958 году удалось создать общую теорию синтеза дискретных многоустойчивых элементов [10–12] на основе введенных в математическую логику систем уравнений алгебры логики.

Еще большее число состояний и дополнительные функциональные возможности удалось получить для динамических многоустойчивых схем, включающих задержки на основе систем уравнений алгебры логики, зависящих от времени [13].

Позднее результаты были обобщены для случая многозначной логики [14]. В последнем случае число устойчивых состояний схемы увеличивается.

Значительные вклад в третий путь сделан Е. П. Балашовым [9]. Этот путь хорошо стыкуется с четвертым направлением. При этом уже одна передача информации из одного блока в другой обеспечит ее обработку и преобразование. Эти два последние направления более подробно в настоящей работе рассмотрены не будут, хотя то, что будет рассмотрено, может иметь значение для последних.

Использование нейристорных запоминающих элементов в многомерных и многофункциональных накопителях с одновременной обработкой информации, а также блочная структура накопителей дадут приближение технической памяти к природной.

Несмотря на сказанное, остается значительное число вопросов и возможностей при организации многомерной и многофункциональной памяти. Среди этих вопросов — где должны располагаться управляемые запоминающие элементы: а) в узлах пересечения многомерных шин (ребер), б) между узлами (на ребрах), в) в виде замкнутых структур с обратными связями, состоящих из функциональных узлов и шин (ребер) связи этих узлов между собой, г) все перечисленные возможности а), б), в) вместе в различных комбинациях в зависимости от того, что это за память.

1. МНОГОМЕРНЫЕ МАТРИЧНЫЕ СИСТЕМЫ СЕЛЕКЦИИ

Применяемые в настоящее время двумерные матричные системы селекции обеспечивают выделение на плоскости любого элемента при числе адресных шин, равным сумме числа шин по координатам. При этом, если амплитуда переключения элемента — A, то максимальная помеха на неизбранном элементе равна сигналу с амплитудой $A/2$, действующему по одной координате. Желательно снизить эту помеху и сократить число адресных шин, которое для больших объемов памяти велико. В случае использования многоустойчивого запоминающего элемента к нему для записи и чтения необходимо подать или с него снять более содержательную информацию, чем для двоичного триггера. При этом желательно эту информацию передать по тем же адресным шинам, и чтобы коды информационных сигналов значительно отличались от сигналов помехи.

Всем этим условиям удовлетворяют многомерные системы селекции, но их технологическая реализация затруднена, а максимальная помеха близка к полезному сигналу.

В настоящем разделе работы рассмотрено [4–6] построение многомерных адресных селектирующих сетей, обеспечивающих заданный уровень помехи на неизбранном элементе, при этом к каждому селектируемому элементу подходит k адресных информационных шин, обеспечивающих передачу к нему более содержательной информации, матричная сеть имеет много меньше адресных шин, чем известные многомерные матричные системы селекции, а один из частных случаев легко реализуется на плоскости.

Рассмотрим построение D-мерных матричных сетей. За основу построения примем элементарную N-мерную ($N < D$) матричную сеть G_1 емкостью $Q_1 = \prod_{i=1}^{N} n_i$ запоминающих или других селектируемых элементов, имеющих N ортогональных групп координатных шин по $q_i = \prod_{j=1, j\neq i}^{N} n_j$ адресных шин в группе и помеху на неизбранном элементе $\alpha = 1/N$, число адресных шин такой сети $q = \sum_{i=1}^{N} q_i$.

Построим многомерную матричную избыточную адресную сеть с заданной помехой на неизбранном элементе и существенно меньшим числом адресных шин селекции. Построение проведем на основе стандартных матричных структур G_1.

На первом шаге построения к каждой координатной группе шин q_i элементарной матричной сети G_1 построим [4–6] дополнительные группы ортогональных шин, каждая из которых обладает теми же свойствами, что и исходная.

Из способа построения [5] следует, что число групп шин, каждая шина из которых соединена с n_j элементами селекции, $k_j = \prod_{i=j+1}^{N} n_i$. Максимальное число ортогональных групп шин, соединенных с различным числом элементов селекции (принимая при подстановке $\prod\limits_{i=N+1}^{N} = 1$), для матричной структуры G_1 $k_{\max} = \sum\limits_{j=1}^{N} k_j$. Отметим, что $k_{\max}$ (как следует из [4–6]) строится не для всех G_1. В последнем случае разработаны методы построения [4, 6], при этом $k < k_{\max}$. Приведем основные соотношения n_j $(j = \overline{1, N})$, для которых $k_{\max}$ строится:

1) Если $n_i = \min P_s^{\alpha_s}$, где $\prod\limits_{j=i+1}^{N} n_j = \prod\limits_{s=1}^{\beta_{i+1}} P_s^{\alpha_s}$ — каноническое разложение числа $\prod\limits_{j=i+1}^{N} n_j$ по степеням $\alpha_s = 1, 2, \ldots$ простых чисел P_s;
2) Если $n_j = \min P_s$. В этом случае $k_{\max}$ может быть построено методом "сдвига". (Все n_j, $j = \overline{1, N}$ — взаимно простые числа.)
3) Для любых натуральных чисел n_j $(j = \overline{1, N})$, для которых $k = \sum\limits_{i=1}^{N-1} \max\left\{t_i^{(1)}, t_i^{(2)}\right\}$, где $t_i^{(1)}, t_i^{(2)}$ - число систем адресных шин, полученных с помощью правил 1 и 2.

Более подробно построение ортогональных групп шин изложено в вышеуказанных работах. В результате дополнения адресной сети G_1 максимальным набором, помеха на любом неизбранном ее элементе $\alpha = 1/k_{\max} \ll 1/N$. На практике величину k выбирают в пределах $N < k \leq k_{\max}$. В зависимости от поставленной задачи выбранный набор k может содержать группы с адресными шинами, соединенными с различным или одинаковым числом селектируемых элементов n_i, заменив введенными группами шин даже исходные координатные группы. Если в общем случае выбрано $\tilde{k}_j < k_j$ для $j = \overline{1, N}$, то общее количество адресных шин новой сети $\tilde{G}_1$ $\tilde{q} = \sum\limits_{j=1}^{N} k_j q_j$, а помеха в неизбранном элементе $\tilde{\alpha} \leq 1/k$ при $\tilde{q} < q$ и $\tilde{k} = \sum\limits_{j=1}^{N} \tilde{k}_j$. Таким образом, на первом шаге выбором надлежащего $\tilde{k}$ задается уровень помехи на неизбранном элементе в пределах $1/N \geq \alpha \geq 1/k_{\max}$.

В качестве примера рассмотрим плоскую матрицу емкостью $Q = n^2 = 25$ при $N = 2$, $n_1 = n_2 = 5$. При этом $k_1 = 5$, $k_2 = 1$, $k_{\max} = 6$. На рис. 1 штриховкой обведены две координатные (I, VI) и четыре дополнительные (II, III, IV, V) ортогональные группы адресных шин, при этом $\dfrac{1}{N} = \dfrac{1}{2} < \alpha = \dfrac{1}{k_{\max}} = \dfrac{1}{6}$.

На втором шаге M элементарных матриц $\tilde{G}_1$ первого шага соединим между собой так, что шины однотипных групп этих матриц с номерами m

и $m+1$ были соединены последовательно (параллельно) со сдвигом номеров шин на величину $r_{m,p}^{(k)}$ при $1 \le m \le M$, $1 \le k \le \bar{k}$, $1 \le p \le n_j$, $0 \le r_{m,p}^{(k)} \le q_k - 1$. При этом коэффициент сдвига $r_{m,p}^{(k)}$ выбирается так, что если селектируемый элемент находится в матрице с номером d ($d \in M$), то во всех других элементарных матрицах с номерами $m \ne d$ помеха на невыбранном элементе имеет величину $\alpha = \frac{\beta}{\bar{k}}$. Величину β чаще всего выбирают равной двум. Можно показать, что величина $M \le \prod_{i=1}^{2N-3} n_i$, если $n_1 = \min\{\overline{n_1, n_N}\}$. Заметим, что при $\beta > 2$ число M может быть существенно увеличено.

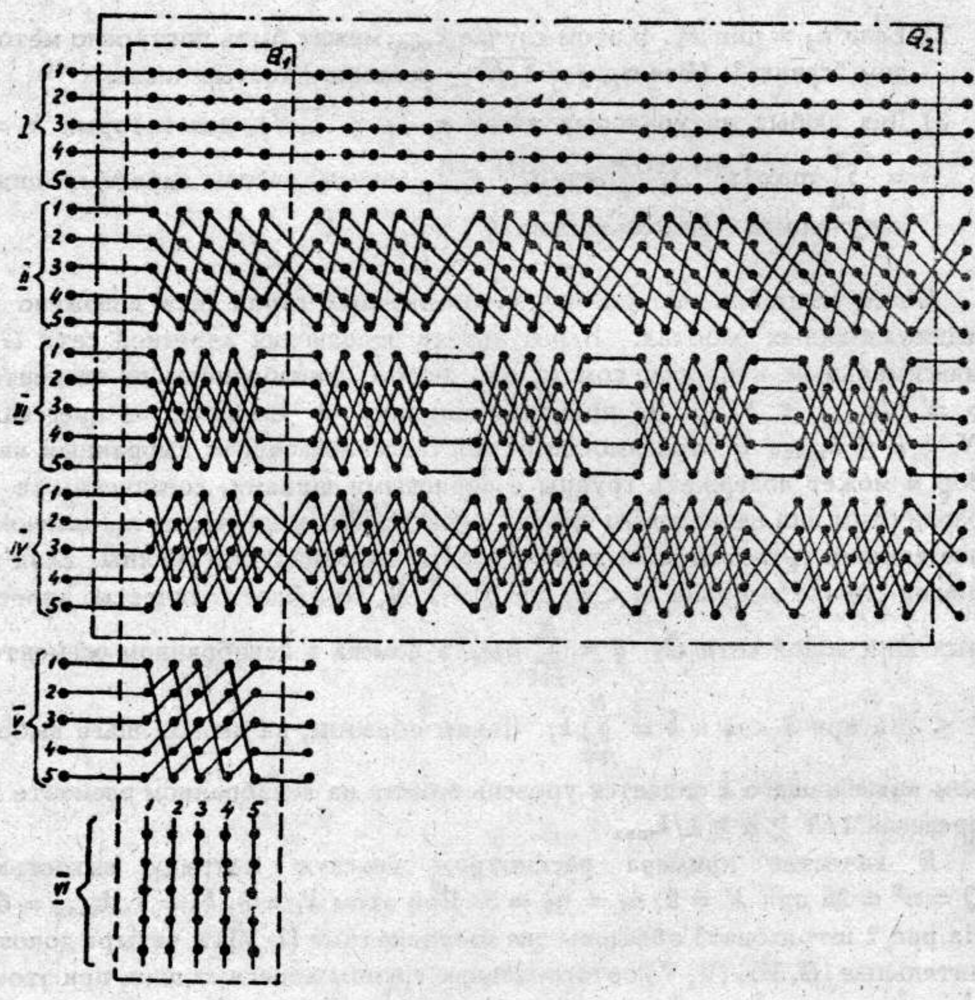

Рис. 1.

Таким образом, на втором шаге [15] при том же числе шин селекции получим структуру G_2, содержащую $Q_2 = MQ_1$ селектируемых элементов, те же $\bar{q}$ адресных шин селекции и помеху на неизбранном элементе $\alpha \le 2/\bar{k}$. Например, для того же случая $N = 2$, $n_1 = n_2 = 5$, $M = 5$ структура G_2 емкостью $Q_2 = n^3 = 125$ показана на рис. 1 в виде последовательного соединения пяти матриц, приняв за основу построения ортогональные группы шин конфигураций I, II, III, IV.

Дальнейшее увеличение емкости матричной адресной сети и снижение величины частичного возбуждения на третьем шаге [16,17] при том же числе адресных шин достигнем за счет использования прямых, инверсных и нулевых сигналов селекции и соответствующего соединения матричных структур G_1 или G_2. При этом R матричных сетей ($R \ge \bar{k}$) соединяются своими ортогональными группами шин согласно или встречно к шинам управления.

Если через $a_{j\ell}$ и $a_{j\gamma}$ обозначить коэффициенты, означающие прямое ($a_{j\ell}, a_{j\gamma} = 1$) или инверсное ($a_{j\ell}, a_{j\gamma} = -1$) соединение групп адресных шин j-ой группы ($1 \le j \le k$) ℓ и γ матричных сетей ($1 \le \ell, \gamma \le R$) к шинам управления, то матрица $\|a_{j\ell}\|$ даст правило подсоединения всех групп адресных шин всех R сетей к шинам управления.

Пусть элементы матрицы $\|a_{j\ell}\|$ удовлетворяют соотношениям $\left|\sum\limits_{j=1}^{\bar{k}} a_{j\ell}\right| \le \alpha$ и $\left|\sum a_{j\ell} \cdot a_{j\ell}\right| \le \alpha$, где α — допустимое число нескомпенсированных сигналов адресной селекции, тогда каждая строка таблицы имеет k_ℓ единиц и $\bar{k} - k_\ell$ минус единиц. Для селекции заданного элемента сигналы возбуждения в k_ℓ группах адресных шин будут иметь положительную, а в $\bar{k} - k_\ell$ группах шин — отрицательную полярность. С учетом прямого или инверсного подключения групп шин структуры к шинам управления согласно ℓ-ой строки матрицы $\|a_{j\ell}\|$ и полярности сигналов возбуждения, на ℓ-ую структуру за счет двойной инверсии будут поданы сигналы одной полярности, а возбуждение конкретных шин в группах обеспечит селекцию заданного элемента. При этом помеха на неизбранных элементах будет частично скомпенсирована за счет двухполярности сигналов частичного возбуждения.

Таким образом, при том же числе адресных шин селекции помеха на невыбранном элементе ниже, чем на втором шаге, емкость же сети $Q_3 = RQ_2$, а $D = k + 2$. Только в случае, когда $\|a_{j\ell}\|$ — матрица Адамара, $R = \bar{k}$. На рис. 2 показано соединение восьми структур емкостью Q_2 (см. рис. 1). Емкость всей структуры $Q = RQ_2 = 8 \cdot 125 = = 1250$ ячеек, помеха $\alpha = 1/2$, число шин селекции $\bar{q} = 20$.

Таким образом, рассмотренные избыточные сети обеспечивают:

1) существенно меньшее число адресных шин селекции;

2) меньшее число формирователей, работающих на адресные шины и меньшую мощность каждого из них;

3) при мажоритарных и пороговых элементах — более высокую надежность, область работоспособности и живучесть;

4) меньшие требования к идентичности характеристик элементов формирователей;

5) значительно меньшую величину помех и частичного возбуждения на неизбранных элементах.

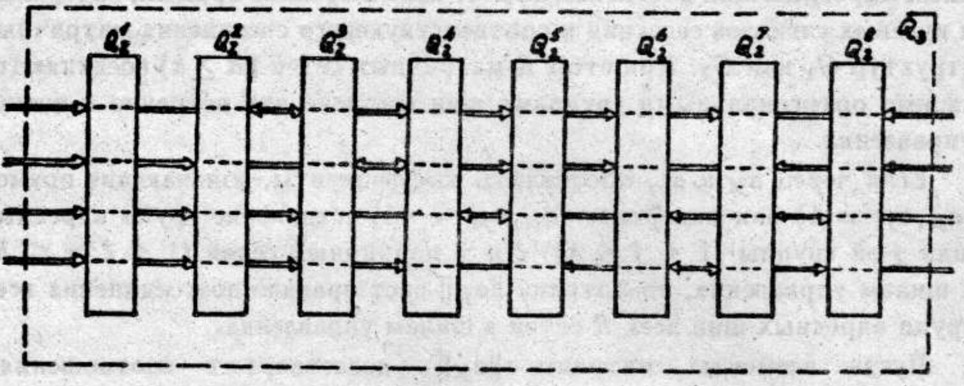

Рис. 2.

2. СИНТЕЗ МНОГОУСТОЙЧИВЫХ ЭЛЕМЕНТОВ ПАМЯТИ

В работе дается регулярный способ синтеза многоустойчивых элементов памяти на базе введенных и рассмотренных [10–14] систем уравнений алгебры логики, разрешенных относительно переменных. Для синтеза многоустойчивого элемента разработчик задается числом и видом необходимых его состояний. Число состояний и их вид соответствует числу и виду решений системы уравнений. Для заданных решений составляется система уравнений. Возможен ряд видов этой системы, в зависимости от выбранного базиса и вида логических функций правых частей уравнений.

В общем виде система уравнений алгебры логики для n независимых переменных $X = \{x_j,\ j = \overline{1,n}\}$ может быть записана в виде

$$g_i(X) = h_i(X), \quad i = 1, 2, \ldots, N, \tag{1}$$

где $g_i(X)$ и $h_i(X)$ — функции алгебры логики, а N — произвольное натуральное число.

Для двузначной логики $g_i(X)$ и $h_i(X) = \begin{cases} 0 \\ 1 \end{cases}$, $x_j = \begin{cases} 0 \\ 1 \end{cases}$.

Система уравнений (1) обладает следующими основными свойствами:

1. Взятые инверсии от обеих частей одного или групп уравнений системы не изменят ее решений.

2. Взятые инверсии от каждого переменного системы изменят все ее решения на дополнительные.

3. Прибавление по $\mathrm{mod}\,2$ к обеим частям любого уравнения или группы уравнений системы произвольной двоичной функции $\varphi(X)$ не изменит решение этой системы.

4. Уравнения системы (1) могут дизъюнктивно складываться, если $h_i(X) = 0$. Это приведет к эквивалентной системе или одному уравнению.

На основе вышеприведенных свойств систему (1) нетрудно привести к системе уравнений [10], разрешенной относительно переменных вида

$$x_j = f_j(X), \quad j = \overline{1,n}, \tag{2}$$

где $X = \{x_j,\ j = \overline{1,n}\}$.

Решениями систем (1), (2) являются такие наборы значений переменных $X^\circ = \left\{x_j^\circ,\ j = \overline{1,n}\right\}$, которые удовлетворяют этим системам. Системы будут совместны, если они имеют хотя бы одно решение, в противном случае системы несовместны. Две системы уравнений назовем эквивалентными, если все решения этих систем совпадают. Системы (1), (2) назовем распадающимися, если они могут быть разбиты на подсистемы, переменные которых не совпадают. Скажем, что система уравнений (2) существенно не зависит от переменного x_j, если два решения, совпадающие по всем переменным, кроме x_j одинаково удовлетворяют системе.

В дальнейшем будем рассматривать совместные нераспадающиеся, существенно зависящие от каждого переменного системы уравнений.

Рассмотрим дизъюнктивную систему уравнений (2), в которой правые части представлены в наиболее широко используемом базисе "НЕ", "И", "ИЛИ" и записаны в дизъюнктивной форме. В дальнейшем все утверждения относительно свойств и решений будем приводить по отношению к дизъюнктивной и другим видам систем уравнений.

Назовем систему уравнений (2) симметричной, если при всех перестановках $\begin{cases} x_j & j \in \{\overline{1,n}\} \\ x_{j_\gamma} & j_\gamma \in \{\overline{1,n}\} \end{cases}$ система (2) переходит в себя.

Можно показать, что каждая конъюнкция, входящая во все правые части $f_j(x)$ для симметричных систем уравнений имеет одно и тоже число переменных m и переменных с инверсиями m'. Откуда следует, что число всевозможных различных конъюнкций, входящих в (1), $k = C_n^m$. Рассмотрим инверсный класс дизъюнктивных систем уравнений, в которых $m' = m$, то есть во всех конъюнкциях все переменные только инверсные. В этом случае, исходя из непротиворечивости правых и левых частей системы уравнений (2), она запишется в форме

$$x_j = \bigvee_{l=1}^{L_{C_{n-1}^m}} \left(\mathop{\&}_{\substack{i=l \\ i \neq j}}^{l_m} \overline{x}_i \right), \quad j = \overline{1,n}, \tag{3}$$

где $L_1, \ldots, L_{C_{n-1}^m} \in \left\{ \overline{1, C_n^m} \right\}$, обозначим $\mathop{\&}_{\substack{i=l \\ i \neq j}}^{l_m} \overline{x}_i = Y_l$. Каждой конъюнкции Y_l, симметричной [10,11] инверсной системы уравнений (3) соответствует решение вида

$$\left\{ x_{l_1}^{\circ}, x_{l_2}^{\circ}, \ldots, x_{l_{m-1}}^{\circ}, x_{l_m}^{\circ}, x_{l_{m+1}}^{\circ}, \ldots, x_{l_n}^{\circ} \right\}_l =$$
$$= \{0, 0, \ldots, 0, 0, 1, \ldots, 1\}_l, \quad l = \overline{1, C_n^m}, \tag{4}$$

в котором

$$\begin{cases} 1 & \text{при} \quad x_{ik} \not\subset \{Y_l\}, \\ 0 & \text{при} \quad x_{ik} \subset \{Y_l\} \end{cases} . \tag{5}$$

Число решений $k = C_n^m$. Других решений система не имеет. Очевидно, что система (3) имеет максимальное число решений при $m = \mathrm{E}(n/2)$.

На основе преобразований 1, 2 и тождества $\overline{ab} = \overline{a} \vee \overline{b}$ преобразуем систему уравнений (3) к конъюнктивной форме, то есть к виду, когда ее правые части представляют из себя конъюнкции, при этом система запишется в виде:

$$x_i = \mathop{\&}_{l=L_1}^{L_{C_{n-1}^m}} \left(\bigvee_{\substack{i=l \\ i \neq j}}^{l_m} \overline{x}_i \right), \quad j = \overline{1,n}, \tag{6}$$

где $L_1, \ldots, L_{C_{n-1}^m} \in \left\{ \overline{1, C_n^m} \right\}$, $Y_l = \bigvee_{l_1}^{l_m} \overline{x}_i$.

Так как при этом преобразовании использовалась преобразование 2, решения системы уравнений (6) будут дополнительными к (4):

$$\left\{ x_{l_1}^{\circ}, x_{l_2}^{\circ}, \ldots, x_{l_{m-1}}^{\circ}, x_{l_m}^{\circ}, x_{l_{m+1}}^{\circ}, \ldots, x_{l_n}^{\circ} \right\}_l =$$
$$= \{1, 1, \ldots, 1, 1, 0, \ldots, 0\}_l, \quad l = \overline{1, C_n^m}. \tag{7}$$

Системы уравнений (3) и (6) можно привести к виду, содержащему только две логические функции: дизъюнкции–инверсии или конъюнкции–инверсии, что может оказаться достаточно важным при построении элементов памяти на нейристорных структурах и базовых кристаллах. Так вид системы уравнений, полученный из (3) содержит только конъюнкции

$$x_j = \mathop{\&}_{l=L_1}^{L_{C_{n-1}^m}} \left(\overline{\mathop{\&}_{\substack{i=l_1 \\ i \neq j}}^{l_m}} \right), \quad j = \overline{1,n}, \quad L_1, \ldots, L_{C_{n-1}^m} \in \left\{ \overline{1, C_n^m} \right\}, \quad Y_l = \overline{\mathop{\&}_{i=l_1}^{l_m} x_i} . \tag{8}$$

Вид решений этой системы уравнений совпадает с (7).

И, наконец, преобразование вида $\overline{ab} = \overline{a} \vee \overline{b}$ и взятие инверсии от каждого переменного позволяет получить вид системы уравнений, содержащий только дизъюнкции

$$x_j = \bigvee_{\ell=L_1}^{L_{C^m_{n-1}}} \Big(\bigvee_{\substack{i=\ell_1 \\ i\neq j}}^{\ell_m} x_i \Big), \quad j = \overline{1,n}$$
$$L_1, \ldots, L_{C^m_{n-1}} \in \{1, C^m_n\}, \quad Y_\ell = \overline{\bigvee_{i=\ell}^{\ell_m} x_i}. \tag{9}$$

Система уравнений (9) имеет решение вида (4).

Моделирование систем уравнений (3), (6), (8) и (9) на логических элементах "И", "ИЛИ", "НЕ" приводит к построению четырех классов многоустойчивых элементов с числом и характером состояний устойчивого равновесия соответствующих решениям этих моделируемых систем уравнений [10, 11]. Исходя из сказанного, дадим метод синтеза многоустойчивых схем на логических элементах различных наборов: (НЕ–И–ИЛИ), (НЕ–ИЛИ–И), (НЕ–И) и (НЕ–ИЛИ).

Для синтеза:

1. Зададимся видом устойчивых состояний, которыми должна обладать многоустойчивая схема. Для этого запишем вид необходимых решений системы уравнений, соответствующих этим состояниям.
2. Выберем базис, на котором будем строить многоустойчивый элемент, а соответственно и вид системы уравнений (3), (6), (8) и (9). Построим для выбранного вида системы уравнений всевозможные функции Y_ℓ, исходя из заданных решений. На основе Y_ℓ запишем систему уравнений необходимого вида.
3. Выполним моделирование полученной системы уравнений.

Приведем примеры построения многоустойчивых элементов для каждого из классов систем уравнений.

Пусть требуется построить многоустойчивый элемент со следующими состояниями:

1.

$$\begin{gathered}
X^\circ_1 = \{1,1,1,0,0\}_1,\ X^\circ_2 = \{1,1,0,1,0\}_2,\ X^\circ_3 = \{1,1,0,0,1\}_3, \\
X^\circ_4 = \{1,0,1,1,0\}_4,\ X^\circ_5 = \{1,0,1,0,1\}_5,\ X^\circ_6 = \{1,0,0,1,1\}_6, \\
X^\circ_7 = \{0,1,1,1,0\}_7,\ X^\circ_8 = \{0,1,1,0,1\}_8,\ X^\circ_9 = \{0,1,0,1,1\}_9, \\
X^\circ_{10} = \{0,0,1,1,1\}_{10}.
\end{gathered}$$

2. В качестве базисов выберем базисы соответствующих систем уравнений (3) "НЕ–И–ИЛИ", (6) "НЕ–ИЛИ–И", (8) "НЕ–И" и (9) "НЕ–ИЛИ".

3. Составим для каждой из систем уравнений функции Y_ℓ

а) Для (3)

$$(\bar{x}_1\bar{x}_2)_1,\ (\bar{x}_1\bar{x}_3)_2,\ (\bar{x}_1\bar{x}_4)_3,\ (\bar{x}_1\bar{x}_5)_4,\ (\bar{x}_2\bar{x}_3)_5,$$
$$(\bar{x}_2\bar{x}_4)_6,\ (\bar{x}_2\bar{x}_5)_7,\ (\bar{x}_3\bar{x}_4)_8,\ (\bar{x}_3\bar{x}_5)_9,\ (\bar{x}_4\bar{x}_5)_{10}.$$

б) Для (6)

$$(\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_3)_1,\ (\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_4)_2,\ (\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_5)_3,\ (\bar{x}_1 \vee \bar{x}_3 \vee \bar{x}_4)_4,$$
$$(\bar{x}_1 \vee \bar{x}_3 \vee \bar{x}_5)_5,\ (\bar{x}_1 \vee \bar{x}_4 \vee \bar{x}_5)_6,\ (\bar{x}_2 \vee \bar{x}_3 \vee \bar{x}_4)_7,\ (\bar{x}_2 \vee \bar{x}_3 \vee \bar{x}_5)_8,$$
$$(\bar{x}_2 \vee \bar{x}_4 \vee \bar{x}_5)_9,\ (\bar{x}_3 \vee \bar{x}_4 \vee \bar{x}_5)_{10}.$$

в) Для (7)

$$Y_1 = \overline{x_1x_2x_3},\ Y_2 = \overline{x_1x_2x_4},\ Y_3 = \overline{x_1x_2x_5},\ Y_4 = \overline{x_1x_3x_4},$$
$$Y_5 = \overline{x_1x_3x_5},\ Y_6 = \overline{x_1x_4x_5},\ Y_7 = \overline{x_2x_3x_4},\ Y_8 = \overline{x_2x_3x_5},$$
$$Y_9 = \overline{x_2x_4x_5},\ Y_{10} = \overline{x_3x_4x_5}.$$

г) Для (8)

$$Y_1 = \overline{x_1 \vee x_2},\ Y_2 = \overline{x_1 \vee x_3},\ Y_3 = \overline{x_1 \vee x_4},\ Y_4 = \overline{x_1 \vee x_5},$$
$$Y_5 = \overline{x_2 \vee x_3},\ Y_6 = \overline{x_2 \vee x_4},\ Y_7 = \overline{x_2 \vee x_5},\ Y_8 = \overline{x_3 \vee x_4},$$
$$Y_9 = \overline{x_3 \vee x_5},\ Y_{10} = \overline{x_4 \vee x_5}.$$

4. На основе 3 а и 3 б, 3 в и 3 г составим системы уравнений.

а)

$$x_1 = \bar{x}_2\bar{x}_3 \vee \bar{x}_2\bar{x}_4 \vee \bar{x}_2\bar{x}_5 \vee \bar{x}_3\bar{x}_4 \vee \bar{x}_3\bar{x}_5 \vee \bar{x}_4\bar{x}_5$$
$$x_2 = \bar{x}_1\bar{x}_3 \vee \bar{x}_1\bar{x}_4 \vee \bar{x}_1\bar{x}_5 \vee \bar{x}_3\bar{x}_4 \vee \bar{x}_3\bar{x}_5 \vee \bar{x}_4\bar{x}_5$$
$$x_3 = \bar{x}_1\bar{x}_2 \vee \bar{x}_1\bar{x}_4 \vee \bar{x}_1\bar{x}_5 \vee \bar{x}_2\bar{x}_4 \vee \bar{x}_2\bar{x}_5 \vee \bar{x}_4\bar{x}_5$$
$$x_4 = \bar{x}_1\bar{x}_2 \vee \bar{x}_1\bar{x}_3 \vee \bar{x}_1\bar{x}_5 \vee \bar{x}_2\bar{x}_3 \vee \bar{x}_2\bar{x}_5 \vee \bar{x}_3\bar{x}_5$$
$$x_5 = \bar{x}_1\bar{x}_2 \vee \bar{x}_1\bar{x}_3 \vee \bar{x}_1\bar{x}_4 \vee \bar{x}_2\bar{x}_3 \vee \bar{x}_2\bar{x}_4 \vee \bar{x}_3\bar{x}_4.$$

б)

$$
\begin{aligned}
x_1 &= (\bar{x}_2 \vee \bar{x}_3 \vee \bar{x}_4)(\bar{x}_2 \vee \bar{x}_3 \vee \bar{x}_5)(\bar{x}_2 \vee \bar{x}_4 \vee \bar{x}_5)(\bar{x}_3 \vee \bar{x}_4 \vee \bar{x}_5)\\
x_2 &= (\bar{x}_1 \vee \bar{x}_3 \vee \bar{x}_4)(\bar{x}_1 \vee \bar{x}_3 \vee \bar{x}_5)(\bar{x}_1 \vee \bar{x}_4 \vee \bar{x}_5)(\bar{x}_3 \vee \bar{x}_4 \vee \bar{x}_5)\\
x_3 &= (\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_4)(\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_5)(\bar{x}_1 \vee \bar{x}_4 \vee \bar{x}_5)(\bar{x}_2 \vee \bar{x}_4 \vee \bar{x}_5)\\
x_4 &= (\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_3)(\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_5)(\bar{x}_1 \vee \bar{x}_3 \vee \bar{x}_5)(\bar{x}_2 \vee \bar{x}_3 \vee \bar{x}_5)\\
x_5 &= (\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_3)(\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_4)(\bar{x}_1 \vee \bar{x}_3 \vee \bar{x}_4)(\bar{x}_2 \vee \bar{x}_3 \vee \bar{x}_4)
\end{aligned}
$$

в)

$$
\begin{aligned}
x_1 &= (\overline{x_2 x_3 x_4})(\overline{x_2 x_3 x_5})(\overline{x_2 x_4 x_5})(\overline{x_3 x_4 x_5})\\
x_2 &= (\overline{x_1 x_3 x_4})(\overline{x_1 x_3 x_5})(\overline{x_1 x_4 x_5})(\overline{x_3 x_4 x_5})\\
x_3 &= (\overline{x_1 x_2 x_4})(\overline{x_1 x_2 x_5})(\overline{x_1 x_4 x_5})(\overline{x_2 x_4 x_5})\\
x_4 &= (\overline{x_1 x_2 x_3})(\overline{x_1 x_2 x_5})(\overline{x_1 x_3 x_5})(\overline{x_2 x_3 x_5})\\
x_5 &= (\overline{x_1 x_2 x_3})(\overline{x_1 x_2 x_4})(\overline{x_1 x_3 x_4})(\overline{x_2 x_3 x_4}).
\end{aligned}
$$

г)

$$
\begin{aligned}
x_1 &= (\overline{x_2 \vee x_3}) \vee (\overline{x_2 \vee x_4}) \vee (\overline{x_2 \vee x_5}) \vee (\overline{x_3 \vee x_4}) \vee (\overline{x_3 \vee x_5}) \vee (\overline{x_4 \vee x_5})\\
x_2 &= (\overline{x_1 \vee x_3}) \vee (\overline{x_1 \vee x_4}) \vee (\overline{x_1 \vee x_5}) \vee (\overline{x_3 \vee x_4}) \vee (\overline{x_3 \vee x_5}) \vee (\overline{x_4 \vee x_5})\\
x_3 &= (\overline{x_1 \vee x_2}) \vee (\overline{x_1 \vee x_4}) \vee (\overline{x_1 \vee x_5}) \vee (\overline{x_2 \vee x_4}) \vee (\overline{x_2 \vee x_5}) \vee (\overline{x_4 \vee x_5})\\
x_4 &= (\overline{x_1 \vee x_2}) \vee (\overline{x_1 \vee x_3}) \vee (\overline{x_1 \vee x_5}) \vee (\overline{x_2 \vee x_3}) \vee (\overline{x_2 \vee x_5}) \vee (\overline{x_3 \vee x_5})\\
x_5 &= (\overline{x_1 \vee x_2}) \vee (\overline{x_1 \vee x_3}) \vee (\overline{x_1 \vee x_4}) \vee (\overline{x_2 \vee x_3}) \vee (\overline{x_2 \vee x_4}) \vee (\overline{x_3 \vee x_4})
\end{aligned}
$$

Моделирование систем уравнений 4а и 4б, 4в и 4г даст схемы многоустойчивых элементов, показанных соответственно на рис. 3а, 3б, 4а, 4б.

Для более компактного изображения полученных многоустойчивых схем на рис. 3а и 3г даны условные обозначения элементов "И" и "ИЛИ".

Необходимо заметить, что при $m = 1$ и $n = n - 1$ получим простейшие многоустойчивые схемы с числом состояний, равным числу инверторов и величине n.

Использование многозначной логики для построения многоустойчивых элементов, развитое в [14] желательно, но сдерживается, в настоящее время, отсутствием хорошей элементной базы.

Рассмотренные в первом разделе многомерные матричные сети, в узлах которых расположены многоустойчивые элементы памяти, могут значительно расширить емкость накопителей и их функциональные свойства.

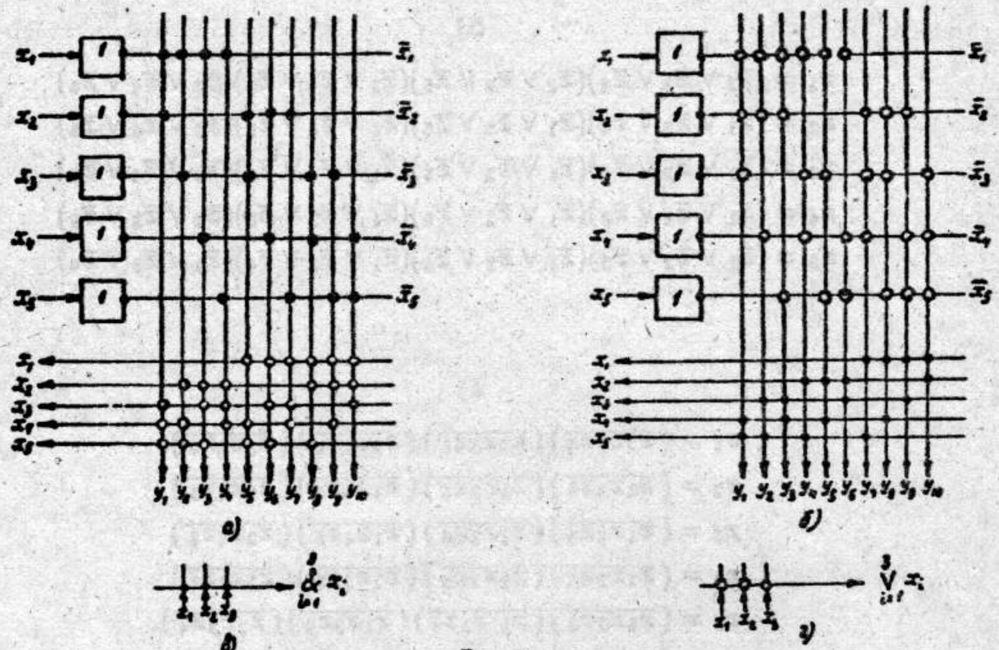

Рис. 3.

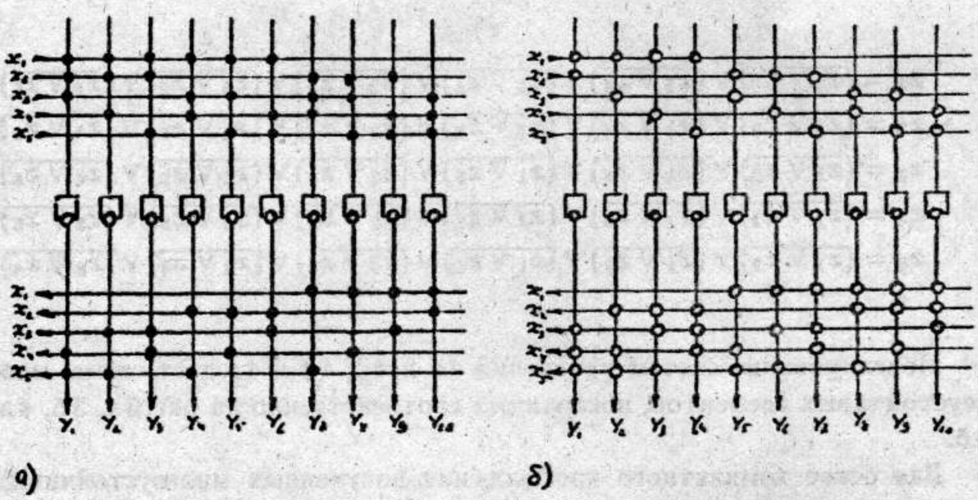

Рис. 4.

Если в многомерной матричной сети считать, что в ее узлах расположены универсальные элементы, реализующие логические функции и операции передачи информации, а ребра управляемые, обеспечивающие передачу или отсутствие передачи информации между узлами, то на базе такой сети возможен синтез, рассмотренных в настоящей работе, многоустойчивых элементов с произвольным их расположением. Связь многоустойчивых элементов и их групп может также реализовываться сетью с одновременной переработкой передаваемой информации.

Особый интерес данные схемы представляют для синтеза памяти на базовых кристаллах и нейристорных структурах.

В заключение данного раздела следует заметить, что схемы многоустойчивых элементов экономичней аналогичных схем, построенных на двоичных триггерных ячейках ($n = 2$, $m = 1$).

Таким образом, в настоящей работе рассмотрены регулярные методы синтеза перспективных сетей селекции и многоустойчивых элементов памяти. Дальнейшая их разработка с участием технологов может привести к весьма перспективным техническим решениям задач разработки памяти цифровых систем.

ЛИТЕРАТУРА

1. Ричардс Р.К. Элементы и схемы цифровых вычислительных машин. — М.: Изд. иностр. лит., 1961.
2. Собельман В.И. О геометрии ферритовых матриц. В сб. Проблемы кибернетики. — М.: Ф.М.Л., 1961. Вып. 6.
3. Дмитриев С.В. Матричные структуры ЭВМ и вычислительных систем. — М.: Наука, 1977.
4. Эйнгорина Т.Н., Эйнгорин М.Я. О существовании неполных уравновешенных блок-схем с переменным объемом блока // Изв. вузов. Математика, 1972. N 11.
5. Эйнгорин М.Я. К вопросу о построении многомерного запоминающего устройства с пониженным уровнем помех // Изв. вузов. Радиофизика, 1967. Т. 10. N 7.
6. Эйнгорина Т.Н., Эйнгорин М.Я. Расчет конфигураций адресных шин при системном проектировании памяти // Техническая кибернетика, 1985. N 1.
7. Быстродействующие вычислительные машины. — М.: Изд. иностр. лит., 1952.
8. Ричардс Р.К. Арифметические операции на цифровых вычислительных машинах. — М.: Изд. иностр. лит., 1957.
9. Балашов Е.П., Смолов В.Б., Петров Г.А., Пузанков Д.В. Многофункциональные регулярные вычислительные структуры. — М.: Сов. радио, 1978.
10. Эйнгорин М.Я. О системах уравнений алгебры логики и синтезе дискретных управляющих схем с обратными связями // Радиофизика, 1958. Т. 1. N 2.
11. Эйнгорин М.Я. О синтезе некоторых управляющих устройств с обратными связями на основе симметричных систем уравнений алгебры логики // Радиофизика, 1962. Т. 5. N 3.

12. Эйнгорин М.Я. О двух геометрических интерпретациях решений систем уравнений алгебры логики и состояний их физических моделей // Радиофизика, 1963. Т. 6.
13. Эйнгорин М.Я. О синтезе дискретных управляющих устройств на основе систем уравнений алгебры логики с запаздыванием // Радиофизика, 1963. Т. 6. N 4.
14. Типашова О.И., Эйнгорин М.Я. Системы уравнений k-значной логики и синтез схем с обратными связями // Изв. АН СССР. Техническая кибернетика, 1972. N 2.
15. А. с. N 369628 СССР.
16. А. с. N 1043740 СССР.
17. Любарт А.Л., Эйнгорин М.Я. Кодирование избыточных межсоединений переключательных матриц / Труды IX симпозиума по проблеме избыточности в информационных системах — Л., 1986.

Н. Новгород, предприятие
"СКИТ"

Поступила в редакцию
7 июня 1994 г.

PRINCIPLES OF SYNTHESIS OF MULTI-STABLE ELEMENTS AND MULTI-DIMENSIONAL STORAGES

M. Ya. Eingorin